МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РФ Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования **«Вятский государственный университет»**

**(ФГБОУ ВПО «ВятГУ»)**

Факультет автоматики и вычислительной техники

Кафедра электронных вычислительных машин

Отчет по лабораторной работе №3

по дисциплине

«Организация памяти ЭВМ»

Выполнила студентка группы ИВТ-31\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/Опалева Е.Н./

Проверил преподаватель\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/Мельцов В.Ю./

Киров 2022

1. Задание на лабораторную работу

На основе ОЗУ организовать стек типа FIFO для очереди команд с возможностью параллельного пополнения очереди команд через каждые 4 считанные из очереди команды: `

1. запись 8-х чисел
2. чтение 4-х чисел
3. запись 4-х чисел с параллельным считыванием из очереди
4. запись 4-х чисел с параллельным считыванием из очереди
5. сброс очереди команд (команда БП)
6. Функциональная схема

Функциональная схема стека представленная на рисунке 1.

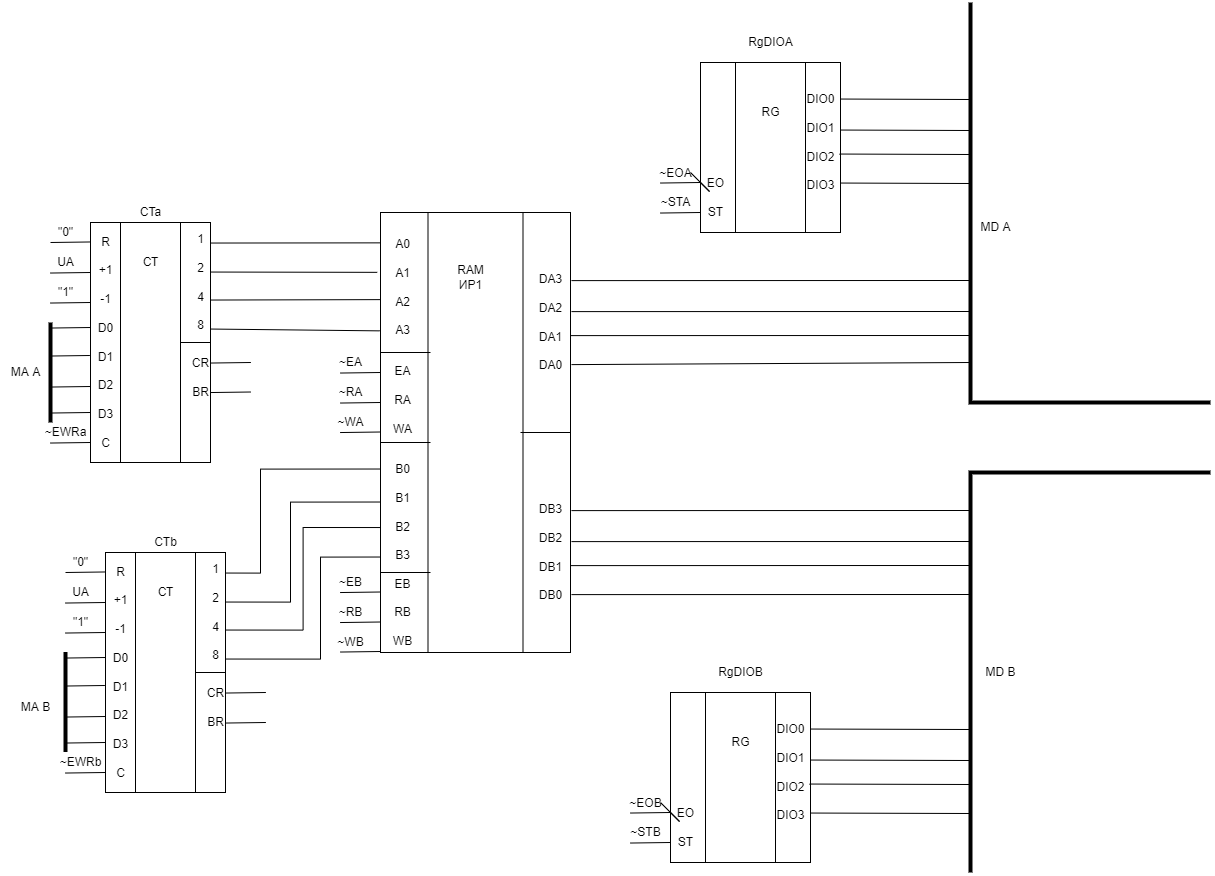


Рисунок 1 – функциональная схема стека

Управляющие сигналы:

~EWRa – запись адреса в RgAA;

~EWRb – запись адреса в RgAB;

~EOA – сигнал разрешения выходов RgDIOA;

~EOB – сигнал разрешения выходов RgDIOB;

~STA – запись в RgDIOA;

~STB – запись в RgDIOB;

~RA, ~WA, ~EA – сигнал чтения, записи, выбора канала А;

~RB, ~WB, ~EB – сигнал чтения, записи, выбора канала B.

1. ГСА

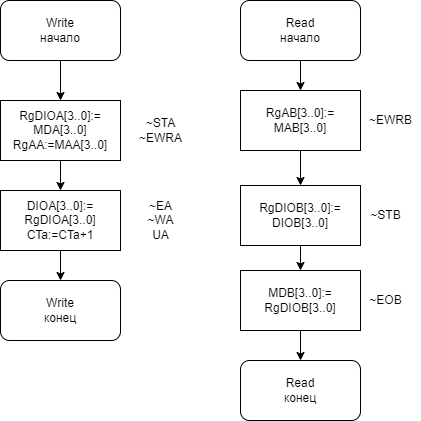


Рисунок 2 – граф-схема

1. Текст микропрограмм

┌──┬────┬────┬─────────┬───────┬──────┬────┬────┬─────────┬───────┬──────┬─────────────────────────────────────────┐

│№ │Адр.│DIOA│~EA~RA~WA│EWR U C│ST ~EO│Адр.│DIOB│~EB~RB~WB│EWR U C│ST ~EO│ Комментарии │

├──┼────┼────┼─────────┼───────┼──────┼────┼────┼─────────┼───────┼──────┼─────────────────────────────────────────┤

│00│ 0 │ 00 │1 1 1 │1 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RgDIOA:=MDA; RgAA:=MAA │

│01│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RAM[00]:=RgDIOA │

│02│ 0 │ 01 │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1 │

│03│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RAM[01]:=RgDIOA │

│04│ 0 │ 02 │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1 │

│05│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RAM[02]:=RgDIOA │

│06│ 0 │ 03 │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1 │

│07│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RAM[03]:=RgDIOA │

│08│ 0 │ 04 │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1 │

│09│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RAM[04]:=RgDIOA │

│0A│ 0 │ 05 │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1 │

│0B│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RAM[05]:=RgDIOA │

│0C│ 0 │ 06 │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1 │

│0D│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RAM[06]:=RgDIOA │

│0E│ 0 │ 07 │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1 │

│0F│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 1 1 1 │0 0 0│ 0 1 │RAM[07]:=RgDIOA │

│10│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 1 1 1 │1 0 1│ 0 1 │RgAB:=MAB │

│11│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RgDIOB:=RAM[00] │

│12│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │CTB:=CTB+1 │

│13│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RgDIOB:=RAM[01] │

│14│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │CTB:=CTB+1 │

│15│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RgDIOB:=RAM[02] │

│16│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │CTB:=CTB+1 │

│17│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RgDIOB:=RAM[03] │

│18│ 0 │ 08 │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1; CTB:=CTB+1 │

│19│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RAM[08]:=RgDIOA; RgDIOB:=RAM[04] │

│1A│ 0 │ 09 │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1; CTB:=CTB+1 │

│1B│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RAM[09]:=RgDIOA; RgDIOB:=RAM[05] │

│1C│ 0 │ 0A │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1; CTB:=CTB+1 │

│1D│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RAM[0A]:=RgDIOA; RgDIOB:=RAM[06] │

│1E│ 0 │ 0B │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1; CTB:=CTB+1 │

│1F│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RAM[0B]:=RgDIOA; RgDIOB:=RAM[07] │

│20│ 0 │ 0C │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1; CTB:=CTB+1 │

│21│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RAM[08]:=RgDIOA; RgDIOB:=RAM[04] │

│22│ 0 │ 0D │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1; CTB:=CTB+1 │

│23│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RAM[09]:=RgDIOA; RgDIOB:=RAM[05] │

│24│ 0 │ 0E │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1; CTB:=CTB+1 │

│25│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RAM[0A]:=RgDIOA; RgDIOB:=RAM[06] │

│26│ 0 │ 0F │1 1 1 │0 0 1│ 1 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │RgDIOA:=MDA; CTA:=CTA+1; CTB:=CTB+1 │

│27│ 0 │ FF │0 1 0 │0 0 0│ 0 0 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RAM[0B]:=RgDIOA; RgDIOB:=RAM[07] │

│28│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │CTB:=CTB+1 │

│29│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RgDIOB:=RAM[0C] │

│2A│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │CTB:=CTB+1 │

│2B│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RgDIOB:=RAM[0D] │

│2C│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │CTB:=CTB+1 │

│2D│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RgDIOB:=RAM[0E] │

│2E│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │CTB:=CTB+1 │

│2F│ 0 │ FF │1 1 1 │0 0 0│ 0 1 │ 0 │ FF │ 0 0 1 │0 0 0│ 1 1 │RgDIOB:=RAM[0F] │

│30│ 0 │ FF │1 1 1 │0 0 1│ 0 1 │ 0 │ FF │ 1 1 1 │0 0 1│ 0 1 │CTA:=CTA+1; CTB:=CTB+1 │

1. Экранные формы

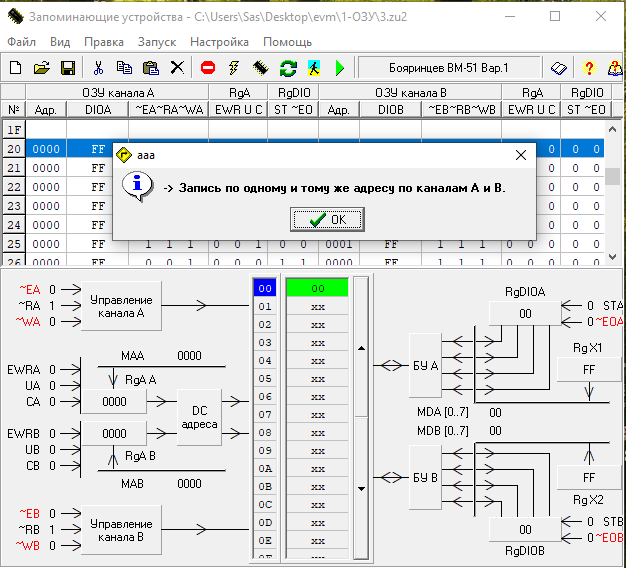


Рис 3. – Попытка одновременной записи по одному адресу

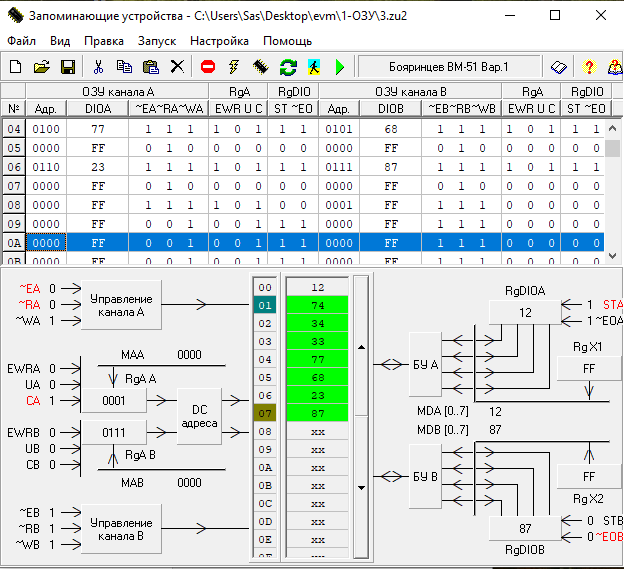


Рис 4. – Запись по одному порту и чтение по-другому

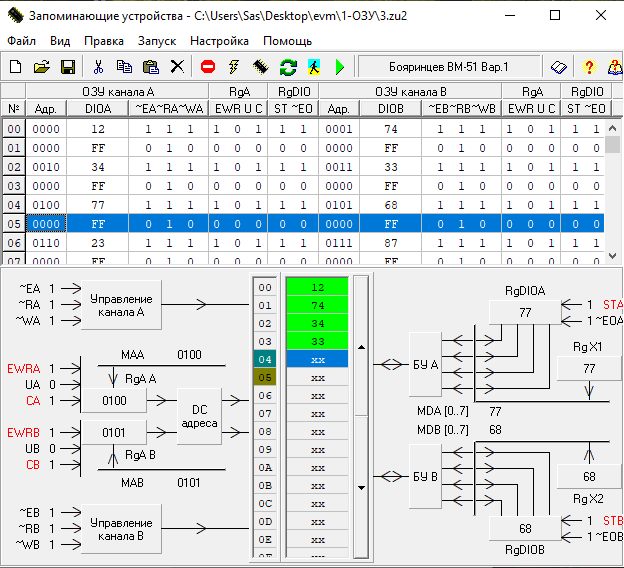


Рис 5. – Запись по двум портам

Вывод: При выполнении лабораторной работы были исследованы основные принципы работы двухпортового ЗУ. Двухпортовое ЗУ позволяет выполнять параллельно две операции чтения/записи практически независимо друг от друга. Недостатком, как и в случае АЗУ, является сложность реализации.